



(19)

(11) Publication number:

07335844 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06122303

(51) Intl. Cl.: H01L 27/118 H01L 21/3205

(22) Application date: 03.06.94

(30) Priority:

(43) Date of application
publication: 22.12.95(84) Designated
contracting states:(71) Applicant: HITACHI LTD
HITACHI MICRO COMPUT ENG LTD(72) Inventor: SASAKI YASUSHI
KOBAYASHI YUTAKA
ONO TAKESHI

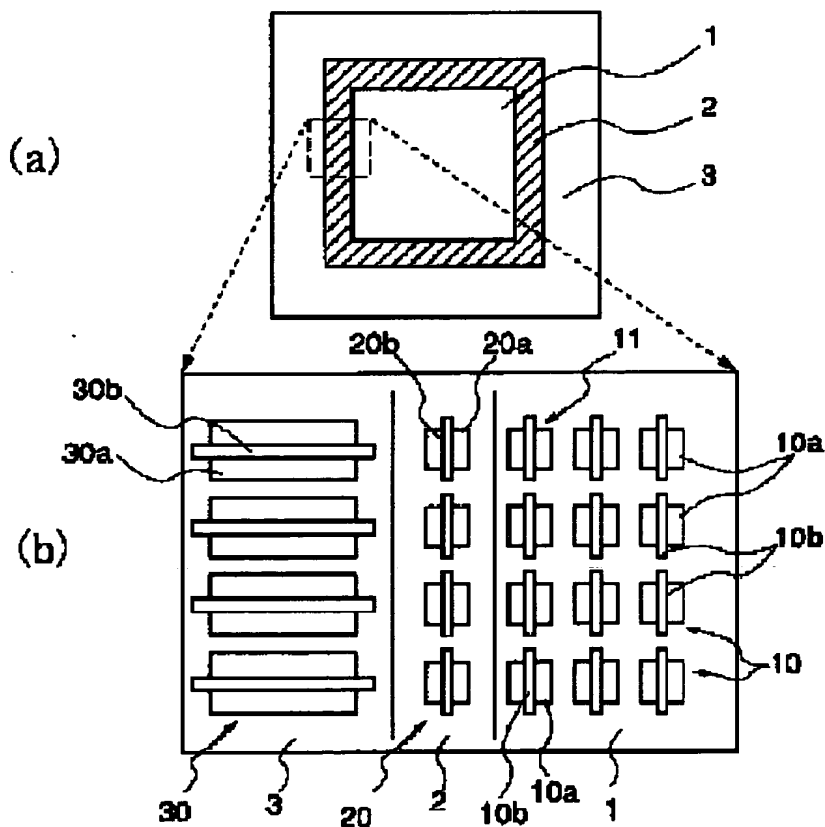
(74) Representative:

(54) SEMICONDUCTOR
DEVICE

(57) Abstract:

PURPOSE: To improve performance and yield by suppressing deviation of characteristics and dimensions due to a layout of a circuit pattern.

CONSTITUTION: In a semiconductor device so constructed that a wiring channel region 2 is set up as if to enclose an internal cell region 1 of the central part, its periphery further surrounded by an I/O cell region 3 where circuits are arranged for input and output, etc., of signals to the outside, a wiring channel region is formed of a dummy MOS transistor 20 which is approximately equal, in dimensions and arrangement density, to a multiplicity of MOS transistors 10 provided inside the internal cell region 1. An environment of arrangement density, etc., of MOS transistors in the periphery of the internal cell region 1 is made to equal a group of MOS transistors 10 in the central part to prevent the dimensions of a diffusion layer pattern 10a and a gate pattern 10b in manufacture from deviating.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-335844

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118 21/3205			H 0 1 L 21/ 82 21/ 88	M S
審査請求 未請求 請求項の数 7 O L (全 6 頁)				

(21) 出願番号 特願平6-122303

(22) 出願日 平成6年(1994)6月3日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72) 発明者 佐々木 恭

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 小林 裕

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(74) 代理人 弁理士 筒井 大和

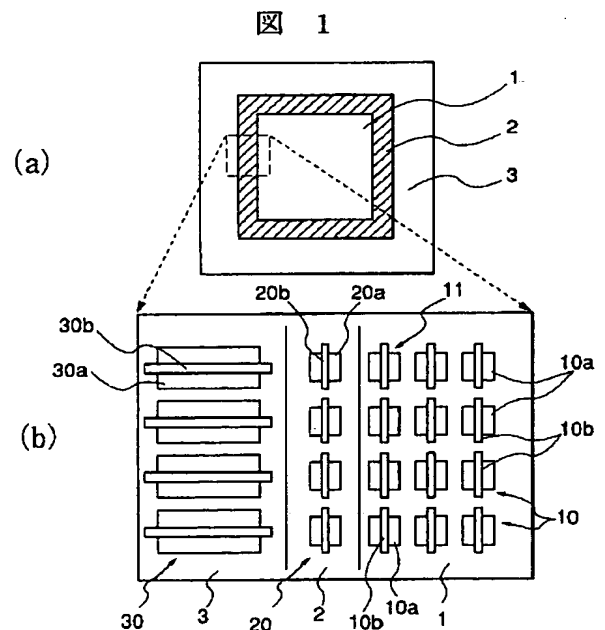
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 回路パターンレイアウトに起因する特性や寸法のばらつきを抑止して、性能および歩留りを向上させる。

【構成】 中央部の内部セル領域1を取り囲むように配線チャンネル領域2を設け、さらにその周囲を、外部との信号の入出力等を行う回路配置されたI/Oセル領域3が取り囲む構成の半導体装置において、内部セル領域1の内部に設けられた多数のMOSトランジスタ10と寸法および配置密度がほぼ同一なダミーMOSトランジスタ20を配線チャンネル領域2に形成し、内部セル領域1における辺縁部のMOSトランジスタ11の配置密度等の環境が、中央部のMOSトランジスタ10群と等価になるようにして、製造時における拡散層パターン10aやゲートパターン10bの寸法のばらつきを防止した。



1 : 内部セル領域	10 : MOSトランジスタ
2 : 配線チャンネル領域	11 : MOSトランジスタ
3 : I/Oセル領域	20 : ダミーMOSトランジスタ

1

【特許請求の範囲】

【請求項 1】 素子形成領域の周辺部に、前記素子形成領域の内部に形成される実際の回路パターンと同一または類似の形状を有し、回路動作に寄与しないダミー回路パターンを形成してなることを特徴とする半導体装置。

【請求項 2】 前記回路パターンは MOS 構造の拡散層パターンおよびゲートパターンであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記素子形成領域は、ゲートアレイにおいて、配線チャネル領域を介して入出力セル領域に取り囲まれた論理セル形成領域であり、前記論理セル形成領域の周辺部に位置する前記配線チャネル領域に、前記論理セル形成領域の内部に形成される論理セルと同一の形状および配置密度で前記論理セルとして機能しないダミー論理セルを配置したことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記素子形成領域は、半導体メモリにおいて、配線引回し領域を介してメモリ周辺回路領域に取り囲まれたメモリセル形成領域であり、前記メモリセル形成領域の周辺部に位置する前記配線引回し領域に、前記メモリセル形成領域の内部に形成されるメモリセルと同一の形状および配置密度で前記メモリセルとして機能しないダミーメモリセルを配置したことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 半導体素子の形成プロセスを評価するためのテストパターンを備えた半導体装置であって、前記テストパターンの周囲に、当該テストパターンと同一または類似の形状を有する複数のダミーテストパターンを配置してなることを特徴とする半導体装置。

【請求項 6】 前記テストパターンは、前記半導体素子を構成する薄膜に穿設されるスルーホールまたはビアホールの寸法検査パターンであることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記テストパターンおよびダミーテストパターンの配置密度を、前記薄膜に形成される前記スルーホールまたはビアホールの配置密度に一致させてなることを特徴とする請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に、微細な回路パターンの反復構造等を有する半導体装置等に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、半導体装置を構成する回路パターンの微細化や、ホトリソグラフィにおけるマスクとしてのホトレジストの多層化等に伴って、回路パターンやホトレジストパターンのアスペクト比（パターンの幅や口径寸法と高さや深さとの比）はますます大きくなる傾向にある。

【0003】 このようにアスペクト比が大きくなると、

2

一般に、当該パターン領域のエッチング速度は、パターンのない平坦な領域よりも遅くなり、結果として、同一のチップ内でも回路特性にばらつきを生じる結果となる。たとえば、MOS トランジスタの場合には、ゲート絶縁膜やゲート電極のチャネル方向の幅寸法の不統一等によって動作特性がばらつくこととなる。

【0004】

【発明が解決しようとする課題】 従来、回路パターンの寸法が比較的大きく、パターン寸法のばらつきの許容範囲が比較的大きい場合には、上述のようなばらつきはそれほど問題にならなかったが、最近の回路パターンの急激な微細化に伴って、半導体装置の性能や歩留りに大きく影響することが懸念されることを本発明者は見いだした。

【0005】 たとえば、図 3 (a) および (b) に例示されるように、従来のゲートアレイ等の論理素子で、同一の回路パターンを反復して密集形成された内部セル領域 100 の周辺部に、回路素子の存在しない配線チャネル領域 200 を挟んで I/O セル領域 300 を設けた場合を考える。この場合、内部セル領域 100 では、配線チャネル領域 200 に近い辺縁と内部とで、ソースやドレインとなる拡散層パターン 101a およびゲートパターン 101b からなる MOS トランジスタ 101 および MOS トランジスタ 102 の密度が異なるため、図 4 に例示されるように、辺縁部側の MOS トランジスタ 101 のゲートパターン 101b は、ゲートパターン 101c のように幅寸法が内部側の MOS トランジスタ 102 の設計値どおりのゲートパターン 101b よりも大きくなり、MOS トランジスタ 101 と 102 の特性にばらつきを生じ、領域内の一部の MOS トランジスタ 101 が規格からはずれた結果、素子全体が不良品と判定されるような懸念がある。

【0006】 また、製造プロセスの管理には、回路素子の一部に回路パターンと類似のテストパターンを形成し、このテストパターンを測定することによって回路パターンが目的の寸法に形成されたか否かを間接的に評価する等の検査が行われるが、孤立したテストパターンは、多数の回路要素が密に形成された実際の回路パターン内部のプロセス状態を反映せず、評価の精度が低くなるという問題がある。

【0007】 なお、ゲートアレイ等における従来の回路パターンの配置構成に関しては、たとえば株式会社プレスジャーナル、1992 年 1 月 20 日発行、「月刊セミコンダクタワールド」1992. 2、P88~P104、等の文献に記載がある。

【0008】 本発明の目的は、回路パターンのレイアウトに起因する特性や寸法のばらつきを抑止して、性能および歩留りを向上させることが可能な半導体装置を提供することにある。

【0009】 本発明の他の目的は、製造プロセス等を高

10

20

30

40

50

い精度で評価することが可能な半導体装置を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】すなわち、本発明の半導体装置では、回路パターンが密集する素子形成領域の周辺部に、当該回路パターンと同一または類似の形状や密度で、実際の回路動作に寄与しないダミー回路パターンを形成するものである。

【0013】また、本発明の半導体装置では、特定のテストパターンの周辺部に当該テストパターンと同一または類似の形状を有するダミーテストパターンを配置した構成のテストパターン領域を設けたものである。

【0014】

【作用】上記した手段によれば、素子形成領域内の辺縁部に位置する回路パターンは、素子形成領域の周囲に配置されたダミー回路パターンによって取り囲まれた状態となるので、ダミー回路パターンを含めた回路パターンの配置密度は、素子形成領域の内部と辺縁部とで差がなくなる。すなわち、回路パターンの配置密度に起因するエッチング等のホトリソグラフィによって形成される寸法や特性等のばらつきがなくなり、素子形成領域の内部の全ての回路パターンを同一の特性や寸法で形成できることになる。

【0015】また、ダミー回路パターンは、MOS構造のゲートパターン程度に止めておくことで、当該ダミー回路パターンの上部は、通常の配線パターンの引回し等に自由に利用でき、スペース増大等の懸念もない。

【0016】一方、テストパターンの周囲にダミーテストパターンを配置することにより、テストパターンの測定結果が、実際の回路パターン内の状態を正確に反映したものとなり、テストパターンを用いた形成プロセスの評価の精度が確実に向上する。

【0017】

【実施例】以下、本発明の実施例を図面を参照しながら詳細に説明する。

【0018】（実施例1）図1（a）は本発明の一実施例である半導体装置の構成の一例を示す概念図であり、図1（b）はその一部を拡大して示す概念図である。本実施例では、半導体装置の一例としてゲートアレイに適用した場合について説明する。

【0019】本実施例の半導体装置は、中央部の内部セル領域1を取り囲むように配線チャンネル領域2を設け、さらにその周囲を、外部との信号の入出力等を行う回路が配置されたI/Oセル領域3が取り囲む構成となつて

いる。

【0020】内部セル領域1の内部には、微細な寸法の拡散層パターン10aおよび当該拡散層パターン10a上にチャネル方向を横切るように配置形成されたゲートパターン10bからなる多数のMOSトランジスタ10が整然と所定の密度で配置されている。そして、これらの多数のMOSトランジスタ10を図示しない配線で適当に接続することにより、所望の論理機能を有する論理回路が構築される。

【0021】一方、I/Oセル領域3には、たとえば比較的大きな寸法の拡散層パターン30aおよび当該拡散層パターン30a上にチャネル方向を横切るように配置形成されたゲートパターン30bからなる多数のMOSトランジスタ30が設けられており、配線チャンネル領域2に設けられた図示しない配線パターンを介して内部セル領域1の内部のMOSトランジスタ10群に接続されており、当該MOSトランジスタ10によって構築された論理回路と外部との間における情報の入出力が行われる。

【0022】この場合、配線チャンネル領域2には、内部セル領域1におけるMOSトランジスタ10群の形成と同時に形成され、当該MOSトランジスタ10と寸法および配置密度がほぼ同一なダミーMOSトランジスタ20が配置されている。このダミーMOSトランジスタ20は、たとえば拡散層パターン20aと、ゲートパターン20bとが形成されるのみであり、配線パターン等は形成されない。すなわち、内部セル領域1の内部のMOSトランジスタ10が担う実際の論理動作等には全く寄与しない構成となっている。

【0023】そして、このダミーMOSトランジスタ20の上部領域は、本来の配線チャンネル領域2の役目である、前記MOSトランジスタ10と前記MOSトランジスタ30の接続を行う図示しない配線パターンの引回しに用いられている。

【0024】ここで、内部セル領域1の辺縁部に位置するMOSトランジスタ11に着目すると、配線チャンネル領域2に形成されたダミーMOSトランジスタ20の存在によって、当該MOSトランジスタ11は、内部セル領域1の内部側のMOSトランジスタ10と同様に、周囲を他のMOSトランジスタ10および当該MOSトランジスタ20によって取り囲まれた状態となっている。

【0025】このため、内部セル領域1の辺縁部に位置するMOSトランジスタ11の配置密度等の環境は、内部側のMOSトランジスタ10と全く等価となり、MOSトランジスタ10およびMOSトランジスタ11の拡散層パターン10aやゲートパターン10b等をエッチング等によって形成する際に、ばらつきを生じることなく一様に形成することが可能となる。

【0026】すなわち、内部のMOSトランジスタ10

および辺縁部のMOSトランジスタ11の動作特性は設計通りに一様になり、内部セル領域1の内部におけるMOSトランジスタ10群の特性のばらつき等に起因する不良が解消され、歩留りを向上させることができる。

【0027】なお、上記の例では、半導体装置の一例としてゲートアレイに適用した場合を説明したが、たとえば、内部セル領域1をメモリセル形成領域に、I/Oセル領域3をセンスアンプやアドレスデコード等のメモリ周辺回路領域に置き換えて考えれば、半導体メモリ素子等においても同様の効果を得ることができるのは明らかである。

【0028】また、回路パターンとしては、上述の説明で例示したMOSトランジスタ構造に限らず、バイポーラトランジスタ、抵抗パターン、容量パターン等、精度が必要なパターンについて同様に適用できる。

【0029】(実施例2)図2(a)は、本発明の他の実施例である半導体装置の一部を示す平面図であり、図2(b)は(a)における線A-Aで示される部分の断面図である。

【0030】本実施例の半導体装置は、半導体装置の製造プロセス評価用の、たとえばスルーホールパターンからなるテストパターン領域50を備えている。テストパターン領域50は、たとえば下地膜51の上に積層された多層薄膜52に穿設されたスルーホールパターンの寸法形状を検査するものである。

【0031】テストパターン領域50は、中央部に配置され、多層薄膜52に穿設されたテストパターン50Aと、その回りを取り囲むように配置され、当該テストパターン50Aとほぼ同じ寸法形状に多層薄膜52に穿設されたダミーテストパターン50Bで構成されている。

【0032】また、テストパターン50Aおよびダミーテストパターン50Bの配置密度は、図示しない実際の回路パターンにおいて多層薄膜52に穿設される図示しないスルーホールパターンと同一になるように配置されている。

【0033】これにより、本実施例のテストパターン領域50の中央部に位置するテストパターン50Aの形状は、テストパターン50Aのみを孤立して設ける場合に比較して、実際の回路パターン内におけるスルーホールパターンの形成環境や形状をより正確に反映したものとなり、スルーホールパターンの寸法等の評価精度が向上する。そして、このような評価結果を、当該半導体装置の製造プロセスにフィードバックすることにより、半導体装置の歩留りを向上できる。

【0034】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0035】たとえば、半導体装置としては、ゲートアレイやメモリ素子等に限らず、微細な回路パターンを特

定の領域内に密集させて反復形成した構成を有するものに広く適用できる。

【0036】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0037】すなわち、本発明の半導体装置によれば、回路パターンのレイアウトに起因する特性や寸法のばらつきを抑止して、性能および歩留りを向上させることができる、という効果が得られる。また、精度の高い製造プロセスの評価ができる、という効果が得られる。

【図面の簡単な説明】

【図1】(a)は本発明の一実施例である半導体装置の構成の一例を示す概念図であり、(b)はその一部を拡大して示す概念図である。

【図2】(a)は、本発明の他の実施例である半導体装置の一部を示す平面図であり、(b)は(a)における線A-Aで示される部分の断面図である。

【図3】(a)および(b)はそれぞれ従来のゲートアレイの構成の一例を示す概念図と、その一部を拡大して示す概念図である。

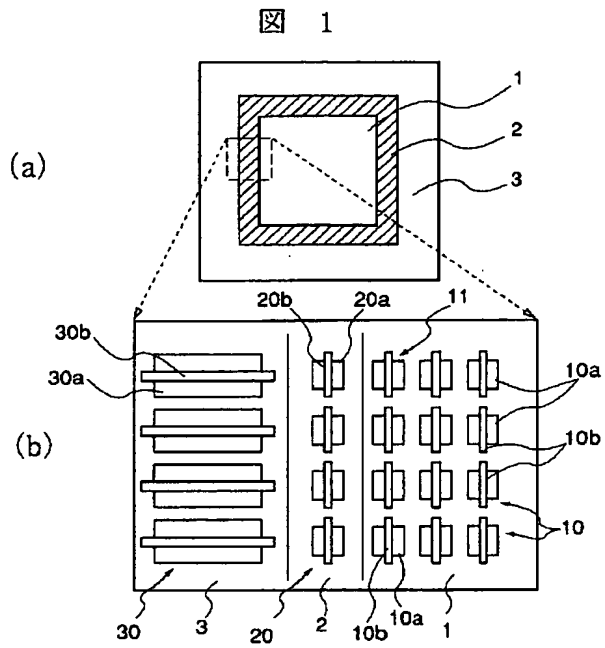
【図4】図3の従来のゲートアレイの技術的課題の一例を説明する概念図である。

【符号の説明】

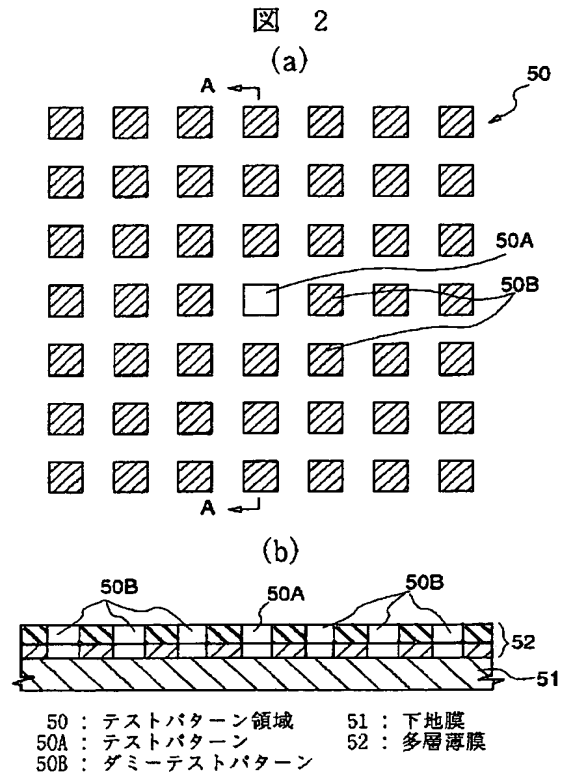
- 1 内部セル領域
- 2 配線チャネル領域
- 3 I/Oセル領域
- 10 MOSトランジスタ (回路パターン)
- 11 MOSトランジスタ (回路パターン)
- 10a 拡散層パターン
- 10b ゲートパターン
- 20 ダミーMOSトランジスタ (ダミー回路パターン)
- 20a 拡散層パターン
- 20b ゲートパターン
- 30 MOSトランジスタ
- 30a 拡散層パターン
- 30b ゲートパターン
- 50 テストパターン領域
- 50A テストパターン
- 50B ダミーテストパターン
- 51 下地膜
- 52 多層薄膜
- 100 内部セル領域
- 101 MOSトランジスタ
- 101a 拡散層パターン
- 101b ゲートパターン
- 101c ゲートパターン
- 102 MOSトランジスタ
- 200 配線チャネル領域

300 I/Oセル領域

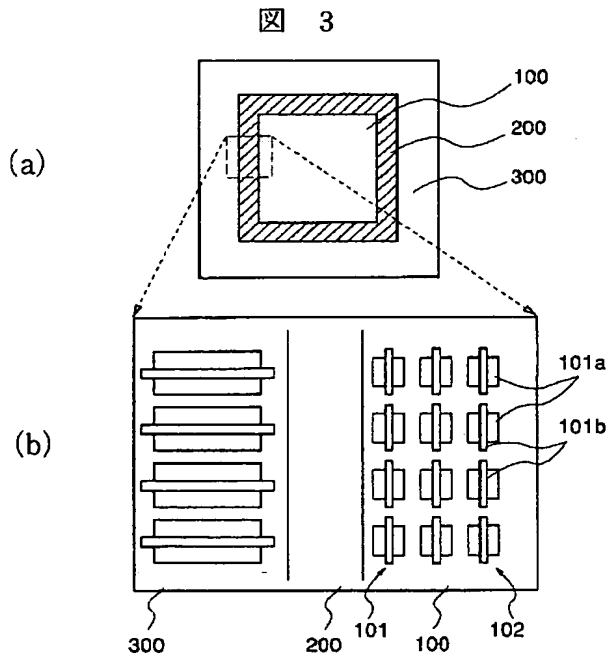
【図1】



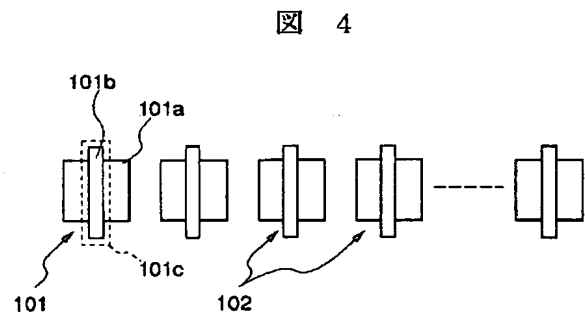
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 小野 健

東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内